

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月25日

H 01 L 21/336
29/784

8422-5F H 01 L 29/78 3 0 1 L

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 MOS型半導体装置の製造方法

⑯ 特 願 平1-63229

⑰ 出 願 平1(1989)3月14日

⑱ 発 明 者 岸 本 幹 夫 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代 理 人 弁理士 宮井 咲夫

明 細 書

(産業上の利用分野)

1. 発明の名称

MOS型半導体装置の製造方法

この発明は、MOS型半導体装置の製造方法に関するものである。

2. 特許請求の範囲

(従 来 の 技 術)

MOS型半導体装置のソース・ドレイン二重拡散層を形成するに際し、

近年、低消費電力の要求からMOS型半導体装置が多く利用されるようになってきた。一方、集積回路の集積度が増加するにつれて半導体装置の寸法を小さくすることが求められているが、MOS型半導体装置のゲート長を短くしていくと、Pチャンネルトランジスタではパンチスルー耐圧の劣化がみられ、またNチャンネルトランジスタではドレイン領域近傍の電界強度が大きくなってホットキャリアが発生し、しきい値電圧が著しく低下するいわゆるショートチャンネル効果をもたらすことが知られている。

シリコン基板上にゲート酸化膜を介して形成されてゲート電極となるポリシリコン膜をマスクとして前記シリコン基板に自己整合的に低濃度拡散層を形成する低濃度イオン注入工程と、前記低濃度イオン注入工程の後に前記ポリシリコン膜の側壁部を耐酸性性被膜で覆う被覆工程と、前記被覆工程の後に前記シリコン基板の表面を熱酸化してゲート酸化膜上に残存するポリシリコン膜のエッチング残渣を絶縁物に変化させる熱酸化工程と、前記耐酸性性被膜で側壁部が覆われたポリシリコン膜をマスクとして前記シリコン基板に自己整合的に高濃度拡散層を形成する高濃度イオン注入工程とを含むMOS型半導体装置の製造方法。

これらショートチャンネル効果を抑制するためには、ゲート側端部のソース・ドレイン領域に低濃度拡散層を設ける方法があり、例えばLDD構造として知られるようなソース・ドレイン二重拡散構造がある。

3. 発明の詳細な説明

以下に、従来のMOS型半導体装置の製造方法について、Nチャネルトランジスタの構造を例にとって説明する。

第2図(a)～(e)は従来のMOS型半導体装置の製造方法の一部分の工程順断面図であり、11はp型シリコン基板、12は素子分離領域、13はゲート酸化膜、14はポリシリコン膜、15はn型低濃度拡散層、17はポリシリコン膜の酸化層、18はn型高濃度拡散層、19は酸化シリコン膜である。

まず、p型シリコン基板11に既知の技術にて厚い酸化膜からなる素子分離領域12を形成する。つぎに、p型シリコン基板11にゲート酸化膜13を成長させ、その上にゲート電極となるポリシリコン膜14を成長させる。ついで、ポリシリコン膜14に高濃度のリンを気相拡散して低抵抗膜とする。さらに、レジスト膜を回転塗布し、光露光技術、電子ビーム露光技術、X線露光技術、あるいはイオンビーム露光技術を用いてレジスト膜を所望のレジストパターンに形成し、このレジスト

層である。

つぎに、第2図(d)に示すように、p型シリコン基板11上に酸化シリコン膜19を周知のCVD法で0.1 μ mの厚さに成長させ、ゲート電極の側端部にのみ酸化シリコン膜19が残るように異方性エッチングを行い、スペーサを形成する。

そして、第2図(e)に示すように、ポリシリコン膜の酸化層17および酸化シリコン膜19のスペーサをマスクとしてp型シリコン基板11に高濃度不純物を注入してn型高濃度拡散層18を形成し、ゲート電極の両端にソース・ドレインの二重拡散層を形成する。

(発明が解決しようとする課題)

しかしながら、上記の従来のMOS型半導体装置の製造方法では、ゲート電極となるポリシリコン膜14の表面が酸化されて絶縁物(ポリシリコン膜の酸化層17)となるため、導電性を有した実効的なゲート長が短くなり、さらにはゲートバースピーク形状となることで、MOS型半導体装置のチャンネル長が変化する問題点があった。

パターンをマスクとして、ポリシリコン膜14をドライエッチングにより選択除去してゲート電極とした後、レジストを除去する。この時の状態は、第2図(b)に示される。

つぎに、第2図(c)に示すように、ゲート電極であるポリシリコン膜14をマスクとしてp型シリコン基板11に低濃度不純物を注入してn型低濃度拡散層15を形成する。

つぎに、第2図(d)に示すように、素子分離領域12のエッジ部の段差部等で除去しきれなかったポリシリコン膜14のエッチング残渣がポリシリコン膜間の電氣的短絡の原因とならぬように、熱酸化法を用いてポリシリコン膜14のエッチング残渣を酸化して絶縁物とする。この時同時にゲート電極となるポリシリコン膜14の側壁および上面も酸化される。さらに、この時に酸化がゲート電極部のゲート酸化膜13へ侵食し、ポリシリコン膜14が持ち上げられて、ゲート電極の両端でゲートバースピークと呼ばれる形状が発生することがある。なお、17はポリシリコン膜の酸化

また、リンが高濃度に拡散されたポリシリコン膜14は、増速酸化現象によりp型シリコン基板11に比べて酸化速度が著しく速いため、酸化を高い精度で制御する必要が生じ、この結果工程が複雑になり、制御精度が損なわれた場合には、MOS型半導体装置の特性にばらつきが生じるという問題点があった。

この発明の目的は、MOS型半導体装置のゲート長を変えることなく、また製造工程数を増やすことなく、ポリシリコン膜のエッチング残渣を酸化することができ、さらにMOS型半導体装置のソース・ドレインの二重拡散層を形成することができるMOS型半導体装置の製造方法を提供することである。

(課題を解決するための手段)

この発明のMOS型半導体装置の製造方法は、ゲート電極となるポリシリコン膜をマスクとしてシリコン基板に自己整合的に低濃度不純物の注入を行い、ついでこのゲート電極となるポリシリコン膜の側壁部を耐酸化性被膜で覆った後、ゲート

酸化膜上に残存するポリシリコン膜のエッチング残渣の酸化処理を行い、さらにこの耐酸化性被膜で側壁部が覆われたポリシリコン膜をマスクとしてシリコン基板に自己整合的に高濃度不純物の注入を行う。

(作 用)

この発明の方法によれば、ゲート電極となるポリシリコン膜の側壁部を耐酸化性被膜で覆うことで、ゲート酸化膜上に残存するエッチング残渣の酸化処理時においてゲート電極の側壁が酸化されない。したがって、ゲート電極の幅が酸化により減少することなくポリシリコン膜のエッチング残渣を酸化することができる。

また、耐酸化性被膜で覆う前にゲート電極であるポリシリコン膜をマスクとしてシリコン基板に低濃度不純物を注入し、つぎにゲート電極であるポリシリコン膜の側壁部を覆った耐酸化性被膜がスペースとなり、耐酸化性被膜で側壁部が覆われたポリシリコン膜をマスクとしてシリコン基板に高濃度不純物を注入することにより、ソース・ド

レインの二重拡散層を自己整合的に形成することができる。

(実 施 例)

以下、この発明のMOS型半導体装置の製造方法を図面を参照しながら説明する。ここでは、一実施例としてNチャンネルトランジスタの場合について述べる。

第1図(a)~(h)はこの発明の一実施例におけるMOS型半導体装置の製造方法の一部分を示す工程順断面図である。同図において、1はp型シリコン基板、2は素子分離領域、3はゲート酸化膜、4はポリシリコン膜、5はn型低濃度拡散層、6は窒化シリコン膜、7はポリシリコン膜の酸化層、8はn型高濃度拡散層である。

まず、例えば濃度が $5 \times 10^{13} \text{ cm}^{-3}$ のp型シリコン基板1に既知の技術にて厚い酸化膜からなる素子分離領域2を形成する。つぎに、p型シリコン基板1にゲート酸化膜3を例えば20nmの厚さに成長させ、その上にゲート電極となるポリシリコン膜4を例えば0.4 μm の厚さに成長させる。

ついで、ポリシリコン膜4に高濃度のリンを例えば1000で気相拡散し、例えば濃度 $3 \times 10^{18} \text{ cm}^{-3}$ の低抵抗膜とする。さらに、レジスト膜を回転塗布し、光露光技術、電子ビーム露光技術、X線露光技術、あるいはイオンビーム露光技術を用いてレジスト膜を所望のレジストパターンに形成し、このレジストパターンをマスクとして、ポリシリコン膜4をドライエッチングにより選択除去してゲート電極とした後、レジストを除去する。この時の状態は第1図(a)に示される。

つぎに、第1図(b)に示すように、ゲート電極であるポリシリコン膜4をマスクとして、p型シリコン基板1に例えばリンイオンを60keV、 $10 \times 10^{13} \text{ cm}^{-3}$ の条件で注入してn型低濃度拡散層5を形成する(低濃度イオン注入工程)。

つぎに、第1図(c)に示すように、周知のCVD法によりシリコン基板1上に窒化シリコン膜6を例えば厚さ0.1 μm に成長させる。

つぎに、第1図(d)に示すように、窒化シリコン膜6を、ゲート電極となるポリシリコン膜4の側

壁部に窒化シリコン膜6を残すように異方性エッチングすることで、片側0.1 μm のスペースをゲート電極の両端に加えたことになる(被覆工程)。ついで、素子分離領域2のエッジ部の段差等で除去しきれなかったポリシリコン膜4のエッチング残渣がポリシリコン同層間の電氣的短絡の原因とならぬように、例えば900で、30分の条件で熱酸化してエッチング残渣を絶縁物とする(熱酸化工程)。

つぎに、第1図(e)に示すように、窒化シリコン膜6で側壁部が覆われてゲート電極となるポリシリコン膜4をマスクとして、p型シリコン基板1に例えばホ素イオンを40keV、 $4 \times 10^{13} \text{ cm}^{-3}$ の条件で注入してn型高濃度拡散層8を形成し、ゲート電極の両端にソース・ドレインの二重拡散層が形成される(高濃度イオン注入工程)。

以降は、公知の技術にて、Nチャンネルトランジスタが形成される。

なお、この実施例では、ゲート電極となるポリシリコン膜4の側壁部を覆う耐酸化性被膜として、

窒化シリコンを用いたが、炭化シリコン、酸化アルミニウム等の耐酸化性を有する被膜であれば有効であることは言うまでもない。

なお、熱酸化工程は、n型高濃度拡散層8の形成工程の後に行ってもよい。

以上のように、この実施例によれば、ゲート電極となるポリシリコン膜4の側壁部を耐酸化性被膜である例えば窒化シリコン膜で覆うことで、MOS型半導体装置のゲート電極となるポリシリコン膜4の幅を変えることなくエッチング残渣を酸化することができ、また耐酸化性被膜形成の前後にそれぞれ低濃度と高濃度の不純物を注入することで、ソース・ドレインの二重拡散層が自己整合的に得られる。

(発明の効果)

この発明のMOS型半導体装置の製造方法によれば、ゲート電極となるポリシリコン膜の側壁部を酸化することなく、ゲート酸化膜上に残存するポリシリコン膜のエッチング残渣を酸化することができ、酸化によってゲート長が変化しないため、

デバイス特性の安定性が得られる。

また、ソース・ドレインの二重拡散層形成時の2回の不純物注入マスクとして、耐酸化性被膜で覆う前のゲート電極となるポリシリコン膜と、側壁部が耐酸化性被膜で覆われた後のポリシリコン膜とを用いているので、ソース・ドレインの二重拡散層を自己整合的に形成することができ、優れた特性を有するMOS型半導体装置を得ることができる。

4. 図面の簡単な説明

第1図(a)~(e)はこの発明の一実施例のMOS型半導体装置の製造方法を示す工程順断面図、第2図(a)~(e)は従来のMOS型半導体装置の製造方法を示す工程順断面図である。

1…p型シリコン基板、2…素子分離領域、3…ゲート酸化膜、4…ポリシリコン膜、5…n型低濃度拡散層、6…窒化シリコン膜、7…ポリシリコン膜の酸化層、8…n型高濃度拡散層

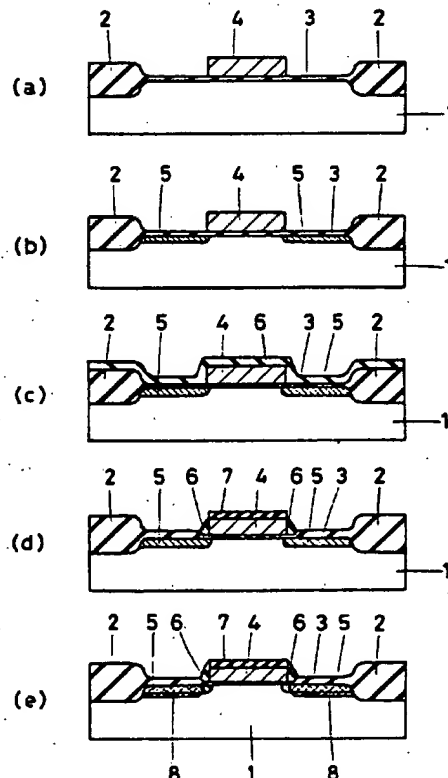
特許出願人 松下電子工業株式会社

代理人 弁理士 宮井 映夫

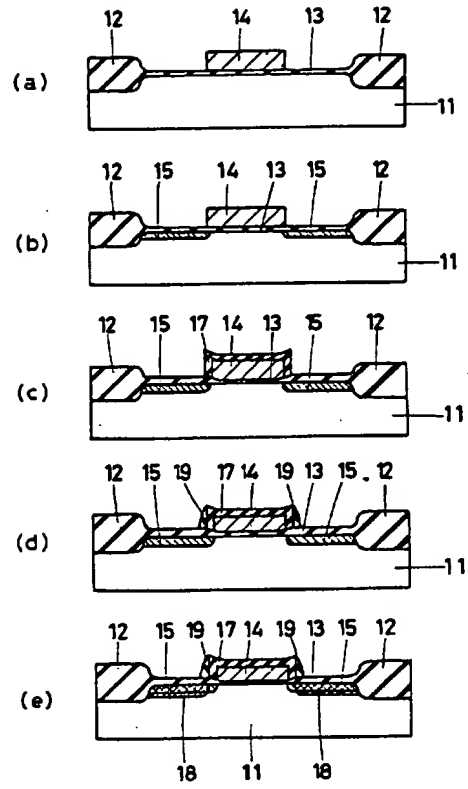


- 1…p型シリコン基板
- 2…素子分離領域
- 3…ゲート酸化膜
- 4…ポリシリコン膜
- 5…n型低濃度拡散層
- 6…窒化シリコン膜
- 7…ポリシリコン膜の酸化層
- 8…n型高濃度拡散層

第1図



第 2 図



PAT-NO: JP402240934A

DOCUMENT-IDENTIFIER: JP 02240934 A

TITLE: MANUFACTURE OF MOS SEMICONDUCTOR DEVICE

PUBN-DATE: September 25, 1990

INVENTOR-INFORMATION:

NAME

KISHIMOTO, MIKIO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRON CORP

N/A

APPL-NO: JP01063229

APPL-DATE: March 14, 1989

INT-CL (IPC): H01L021/336, H01L029/784

US-CL-CURRENT: 438/305, 438/770 , 438/FOR.204 , 438/FOR.399

ABSTRACT:

PURPOSE: To enable oxidation of an etching residue of a polysilicon film without changing a gate length of an MOS-type semiconductor device, by forming a high-concentration diffused layer on a silicon substrate in a self-alignment manner by using as a mask the polysilicon film of which the side-wall part is covered with an oxidation-resistant film.

CONSTITUTION: An impurity of low concentration is injected into a silicon substrate 1 in a self-alignment manner by using a polysilicon film 4 to be a gate electrode as a mask. Subsequently, the sidewall part of this polysilicon

film 4 to be the gate electrode is covered with an oxidation-resistant film 6, and then an etching residue of the polysilicon film 4 left on a gate oxide film 3 is subjected to oxidation treatment. Using as a mask the polysilicon film 4 of which the sidewall part is covered with this oxidation-resistant film 6, moreover, an impurity of high concentration is injected into the silicon substrate 1 in the self-alignment manner. By this method, the etching residue of the polysilicon film 4 left on the gate oxide film can be oxidized without oxidizing the sidewall part of the polysilicon film 4 to be the gate electrode.

COPYRIGHT: (C)1990,JPO&Japio